

# آزمایشگاه مدار منطقی



آزمایش شماره ۱ :

موضوع : آشنایی با برخی تراشه های TTL و CMOS و برخی از کاربردهای ساده گیت های منطقی

الف - آشنایی با بعضی از تراشه های TTL :

آزمایش ۱-۱: در این قسمت تراشه ۷۴۰۴ که حاوی ۶ دروازه NOT میباشد مورد آزمایش قرار میگیرد.

مدارهای شکل ۱-۱ و ۲-۱ را بسته و جدول ۱-۱ را کامل کنید.

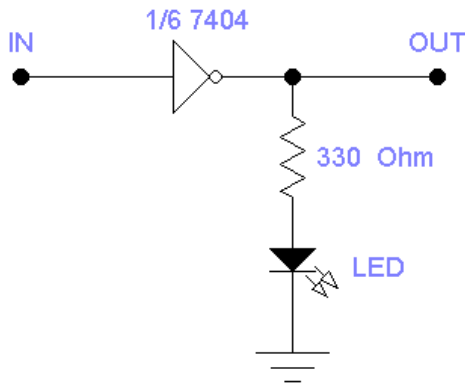


FIG 1.2

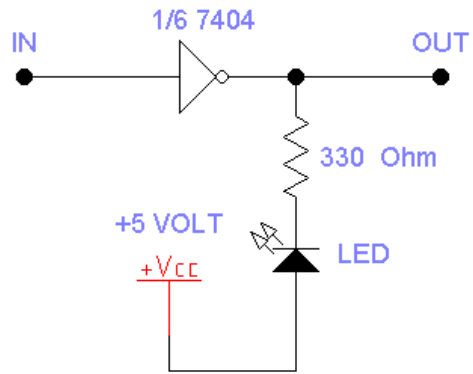


FIG 1.1

ولتاژ ورودی (V)	ولتاژ خروجی (V)		
	بدون بار	با بار شکل ۱-۱	با بار شکل ۲-۱
۰	۵	۵	۴,۶
۵	۳ m	۳۳۵m	۳,۲ m

جدول ۱-۱

آزمایش ۲-۱ : در این قسمت تراشه ۷۴۰۰ که حاوی ۴ دروازه NAND میباشد مورد آزمایش قرار

میگیرد.

برای مدار نشان داده شده در شکل ۳-۱ ستون اول جدول ۲-۱ را کامل کنید.

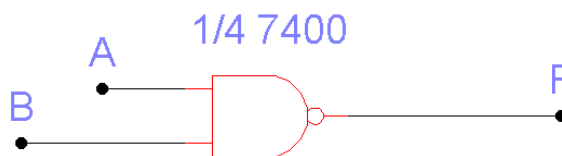


FIG 1.3

ورودی (V)		خروجی (V)		
A	B	۳-۱	۴-۱	۵-۱
0	0	3.64	111 m	5
0	5	3.64	112 m	5
5	0	3.62	112 m	5
5	5	207 m	4.39	0.1 m
0	OPEN	3.64	252 m	5
OPEN	0	3.64	130 m	5
5	OPEN	209 m	4.39	5
OPEN	OPEN	210 m	4.74	5

جدول ۲-۱

آزمایش شماره ۳-۱: در این قسمت تراشه ۷۴۰۸ که ماوی چهار دروازه AND میباشد مورد آزمایش قرار میگیرد. برای مدار شکل ۴-۱ ستون دوم جدول ۲-۱ را کامل کنید.



FIG 1.4

ب - آشنایی با برقی از تراشه های CMOS:

آزمایش ۴-۱: در این قسمت تراشه ۴۰۱۱ که ماوی ۴ گیت NAND میباشد مورد آزمایش قرار میگیرد. برای مدار نشان داده شده در شکل ۵-۱ ستون سوم جدول ۲-۱ را کامل کنید.

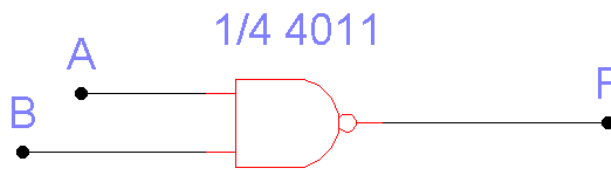


FIG 1.5

آزمایش ۵-۱: مدار شکل ۶-۱ را بسته و جدول ۳-۱ را کامل کنید.

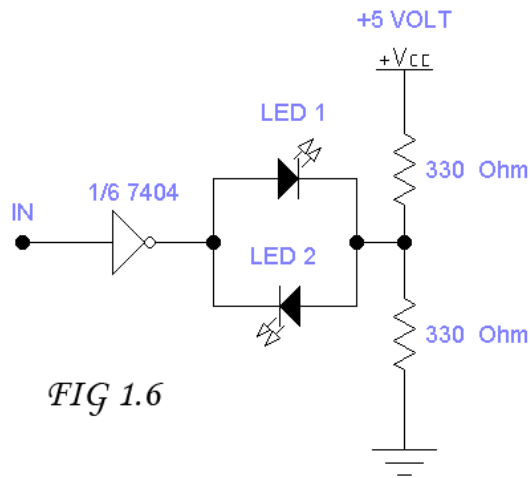


FIG 1.6

ورودی (ولت) IN (V)	وضعیت دیود های نورانی	
	LED 1	LED 2
0	On	Off
5	off	on

جدول ۱-۳

ج - برخی از کاربردهای ساده گیت‌های منطقی:

آزمایش ۱-۶: مدار قفل فروجی (LATCH)

ابتدا ورودی را به زمین وصل کرده و فروجی را اندازه بگیرید. سپس ورودی را قطع نموده و مجدداً فروجی

را اندازه بگیرید و سپس همین کار را برای ورودی 5 V نیز انجام دهید.

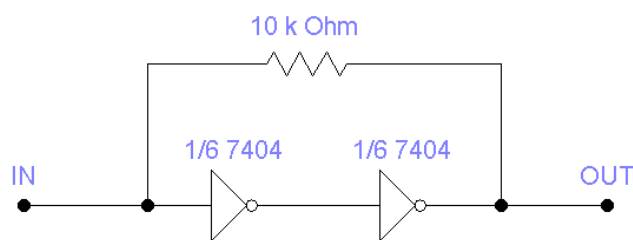


FIG 1.7

In	0	open	5	open
out	1.6 mv	2.7 mv	4.99 v	4.99 v

د- سوالات :

سوال ۱-۱ : با توجه به نتایج بدست آمده اگر ورودی یک گیت از تراشه های TTL باز بماند ، آن ورودی معادل چه ولتاژی عمل میکند ؟ پاسخ این سوال را در مورد تراشه های CMOS نیز درج شود.

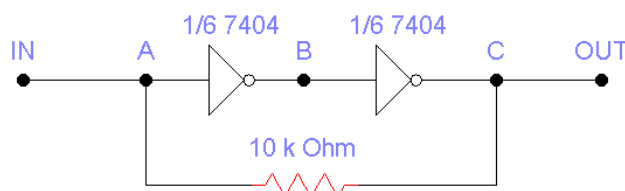
پاسخ : پایه های آزاد در تراشه های TTL برابر منطق ۱ و در تراشه های CMOS برابر منطق ۰ میباشد.

سوال ۱-۲ : با توجه به اینکه باز ماندن ورودی یک گیت میتواند در کار مدار اختلال ایجاد کند باید هر یک از ورودی های مازاد گیت مصرفی را به منظور ایستایی مدار PULL UP یا PULL DOWN نمود و یا ورودی مذکور را به یکی از ورودی های دیگر وصل کرد.

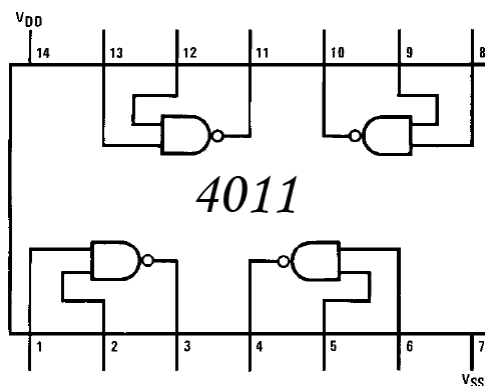
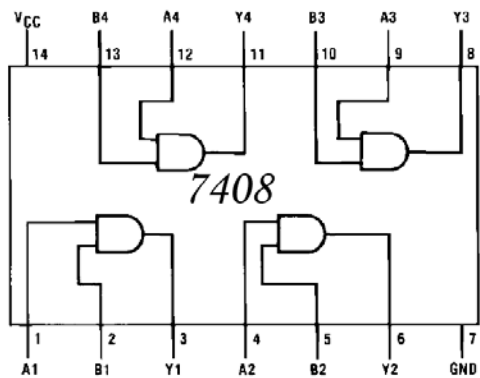
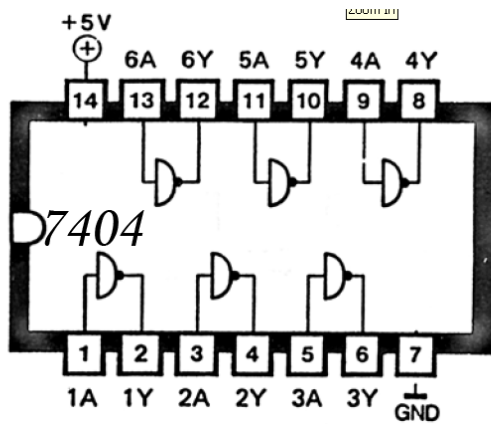
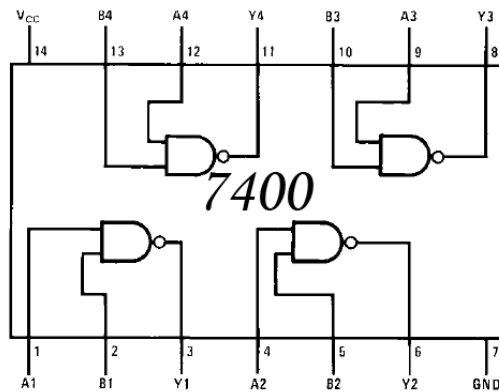
بر این اساس ورودی های مازاد گیت های AND و OR را باید به چه منطقی وصل نمود؟

پاسخ : در گیت های نوع AND پایه مازاد ره باید به منطق 1 متصل نموده و در گیت های OR به منطق 0 متصل میشوند.

سوال ۱-۳ : طرز کار مدار قفل شکل ۱-۷ را از نظر تئوری بررسی کرده و نتایج به دست آمده را توجیه کنید.



پاسخ: ابتدا مدار را بدون در نظر گرفتن مقاومت فیدبک 10K تصور کنید . در این صورت سطح منطقی نقطه B فلاپ A و با اعمال اثر طبقه بعد سطح منطقی نقطه C درست هم سنگ نقطه A است ، اما با قطع سیگنال ورودی بسته به نوع تراشه استفاده شده (TTL , COMS) مدار دوباره وضعیت ایستای خود را باز میابد ، اما با وجود مقاومت فیدبک سطح اولیه ورودی طی وارون دو مرحله ای در گیتها دوباره به ورودی بازمیگردد و این پروسه مادام تکرار شده و فروبی را در یک سطح منطقی قرار میدهد تا زمانی که منطق ورودی مدار تغییر سطح دهد و با استدلالی مشابه آنچه گفته شد این سطح ثانوی نیز تثبیت میگردد. این مدار در تئوری دیجیتال به عنوان مدار قفل یا LATCH شناخته میشود که عملکردی درست شبیه کنتاکتورهای ایمنی قطع برق ، یا مدارات نگه دارنده فرمان در سیستم کنترل و فرمان مدارات قدرت ، فرایند START - STOP مو تورهای توان بالا و.. را دارد.



## ۱- عملکرد ۷۴۳۲

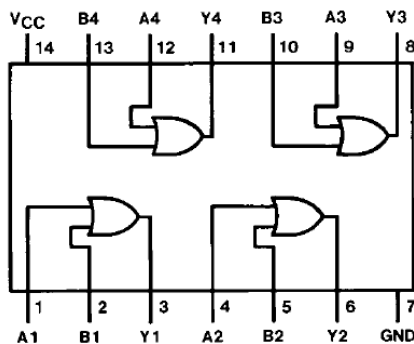
تراشه ۷۴۳۲ شامل ۴ گیت OR دو ورودی با منطق مثبت میباشد که میتوان از هر یک از آنها به صورت جداگانه استفاده نمود.

مدار دافلی این تراشه به همراه جدول درستی آن در شکل زیر آمده است:

$$Y = A + B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

H = HIGH Logic Level  
L = LOW Logic Level



زمان تأخیر انتشار برای تراشه استاندارد ۷۴۳۲ به طور متوسط 12 ns میباشد و جریان مصرفی آن قریب به 19  $\mu$ a است.

این تراشه در انواع :

استاندارد - شاتکی پیشرفته - شاتکی پیشرفته کم مصرف - سریع - شاتکی کم مصرف و شاتکی تولید میشود که در جدول زیر میزان مصرف و زمان تأخیر انتشار انواع متفاوت آمده است :

families	STD	ALS	AS	F	LS	S
Propagation delay (ns)	12	8	3.4	4.1	14	4
Supply current ( $\mu$ a)	19	2.2	12	8.2	5	28

## ۲- طراحی جمع کننده :

ابتدا جدول درستی مدار را مطابق جدول زیر ترسیم میکنیم:

INPUT			OUTPUT	
A	B	Cin	S	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S = \Sigma(1,2,4,7)$$

و

$$C_{out} = \Sigma(3,5,6,7)$$

S	B		Cin	
	00	01	11	10
A	0	0	1	0
	1	1	0	1

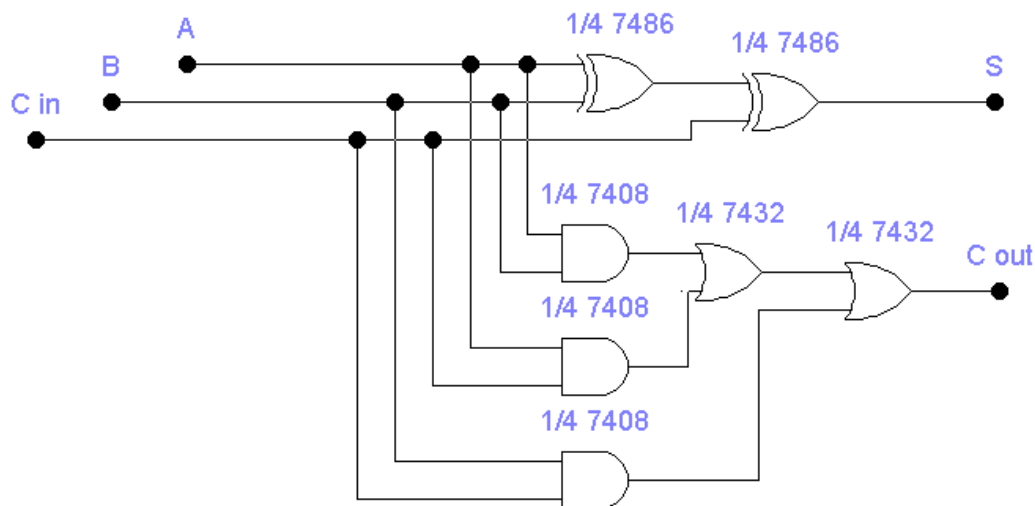
چون فانه های مجاور به صورت مورب با یک ها پر شده اند پس جدول فوق نشاندهنده XOR هر سه متغیر میباشد پس:

$$S = A \text{ (xor) } B \text{ (xor) } C_{in}$$

C	B		Cin	
	00	01	11	10
A	0	0	0	1
	1	0	1	1

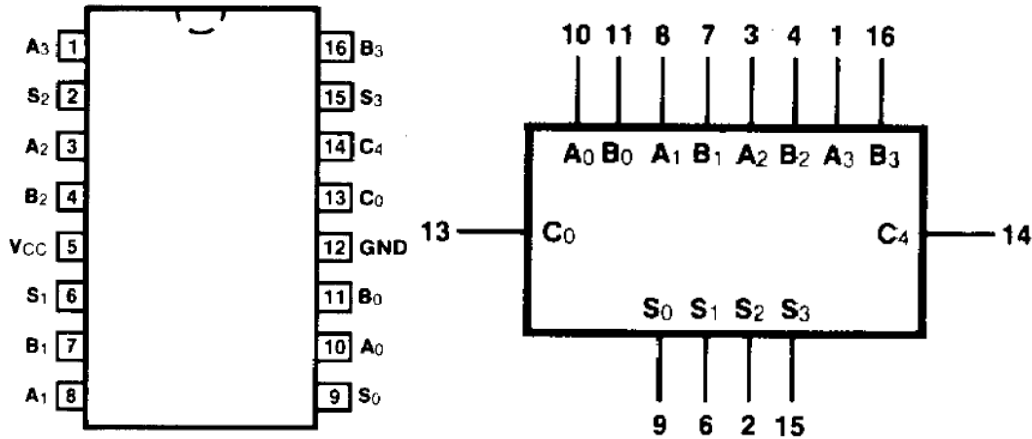
$$C_{out} = AC + BC + AB$$

که تابع S را میتوان به وسیله دو عدد از گیتهای XOR تراشه ۷۴۸۶ پیاده سازی و تابع C را نیز هم به کمک سه گیت AND و دو گیت OR پیاده سازی نمود.





۳- مشخصات کامل تراشه ۷۴۸۳:



این ای سی شامل یک جمع کننده است که امکان جمع دو عدد ۴ بیتی را فراهم می آورد

ورودی A با ارزش بیتی

$$A_3=8, A_2=4, A_1=2, A_0=1$$

ورودی B با ارزش بیتی

$$B_3=8, B_2=4, B_1=2, B_0=1$$

دو عملوند جمع کننده را تشکیل میدهند و حاصل جمع این دو در خروجی S با ارزش بیتی:

$$S_3=8, S_2=4, S_1=2, S_0=1$$

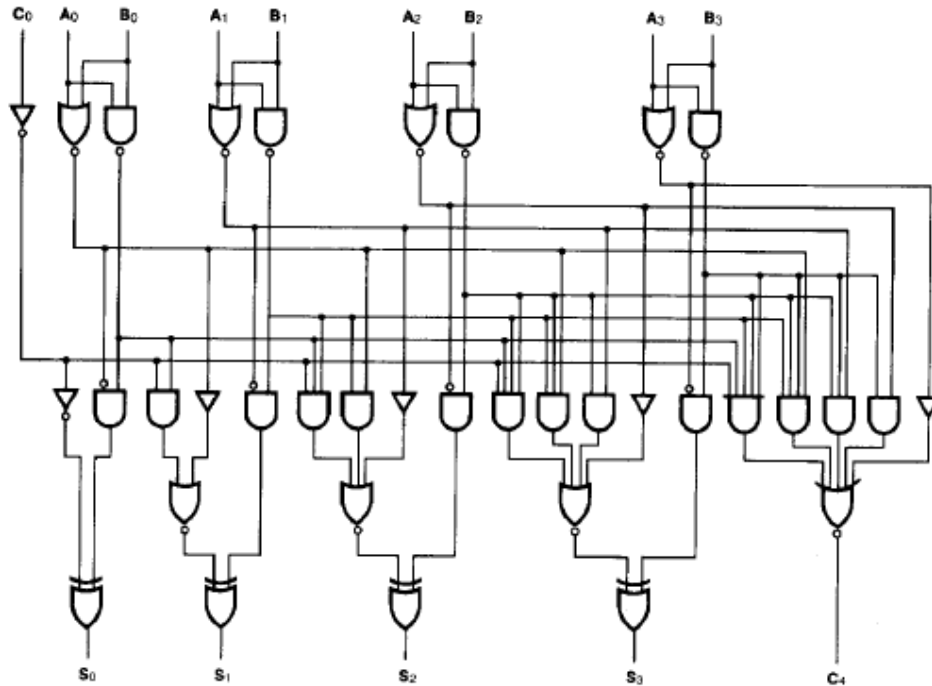
ظاهر شده و رقم نقلی در صورت وجود در پین C4 ظاهر میشود

اگر فقط دو عدد چهار بیتی با هم جمع شوند ورودی C0 بایستی LOW شود

برای توسعه به جمع کننده ۸ بیتی یا بالا تر میتوان C4 هر طبقه را به C0 طبقه بعد متصل نمود.

مدار دافلی این تراشه در تصویر زیر آمده است:

LOGIC DIAGRAM



این تراشه در انواع استاندارد - سریع و شاتکی کم مصرف تولید میشود  
یک مثال نمونه برای چگونگی عمل جمع در جدول زیر آمده است:

TRUTH TABLE

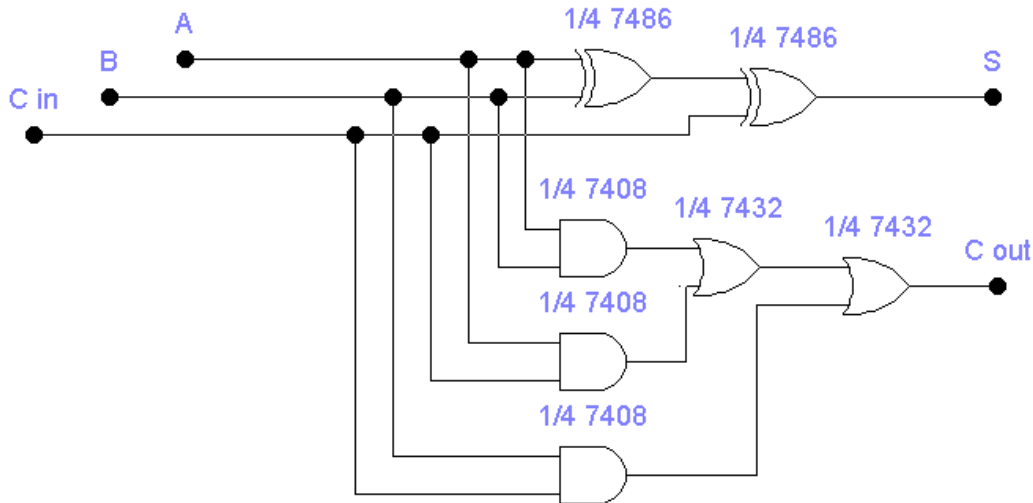
	INPUTS									OUTPUTS				
	C <sub>0</sub>	A <sub>0</sub>	A <sub>1</sub>	A <sub>2</sub>	A <sub>3</sub>	B <sub>0</sub>	B <sub>1</sub>	B <sub>2</sub>	B <sub>3</sub>	S <sub>0</sub>	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	C <sub>4</sub>
Logic Levels	L	L	H	L	H	H	L	L	H	H	H	L	L	H
Active HIGH	0	0	1	0	1	1	0	0	1	1	1	0	0	1
Active LOW	1	1	0	1	0	0	1	1	0	0	0	1	1	0

(10 + 9 = 19)  
(carry + 5 + 6 = 12)

H = HIGH Voltage Level  
L = LOW Voltage Level

آزمایش شماره ۲ :

مدار تمام جمع کننده بند ۲ پیش گزارش شماره ۲ که در شکل زیر هم آمده را مورد آزمایش قرار دهید و نتایج را در جدول ۱-۲ ثبت نمایید .

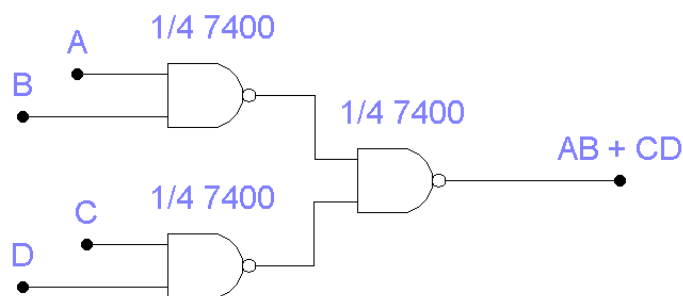


INPUT			OUTPUT	
A	B	Cin	S	C out
0	0	0	120 mv	0.3 mv
0	0	1	4.37 v	0 v
0	1	0	4.37 v	0 v
0	1	1	127 mv	4.9 v
1	0	0	4.3 v	0.3 mv
1	0	1	135 mv	4.97 v
1	1	0	121 mv	4.97 v
1	1	1	4.35 v	4.97 v

جدول ۱-۲

آزمایش ۲-۲ : با به کار گیری یک تراشه ۷۴۰۰ مدارى با گیتهاى nand بسازید که تابع بولی زیر را پیاده سازی کند :

$$F = AB + CD$$



## سوالات :

سوال ۱-۲ : با استفاده از کتب مرجع شماره چند تراشه جمع کننده دیگر را یافته و یکی را به اختصار توضیح دهید.

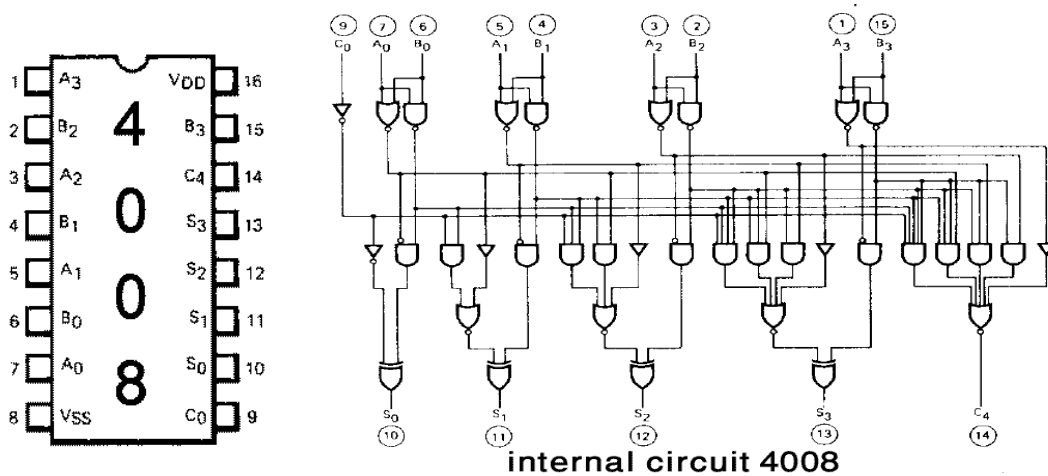
CMOS :

4008 (4 bit full adder)  
4032 (3 serial adder-P logic)  
4038 (3 serial adder-N logic)  
4560 (4 bit decimal adder)

TTL :

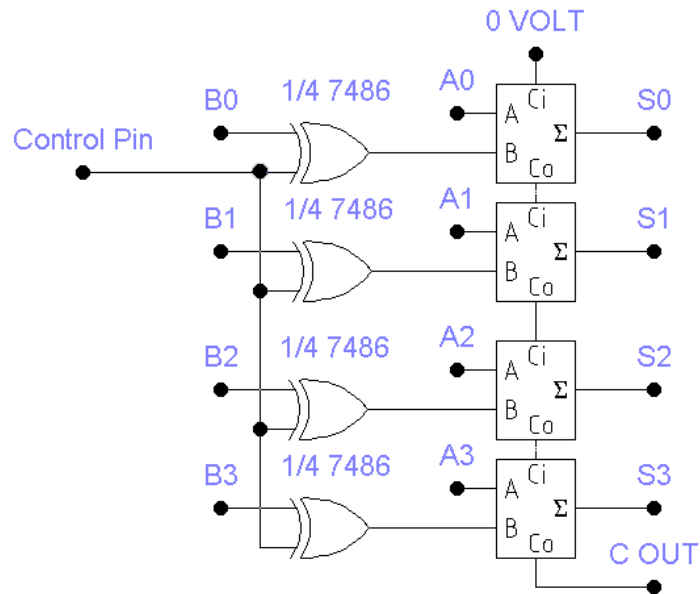
7479 (1 bit full adder)  
7482 (4 bit adder)  
7483 (2 full adder)

توصیف تراشه ۴۰۰۸ :



این ای سی مناسبی در منطق مثبت کار کرده و دو عدد باینری ۴ بیتی را با هم جمع میکند، برای سری کردن این ای سی میتوان پایه ۹ ای سی اول را به پایه ۱۴ ای سی دوم متصل کرد، توجه کنید که کل زمان مناسبه این ای سی با تغذیه ۵ ولت ۹۰۰ نانو ثانیه و با ولتاژ ۱۰ ولت ۳۲۵ نانو ثانیه است، این ای سی در فرکانس ۱ مگا هرتز و با ولتاژ تغذیه ۵ ولت جریان ۱٫۶ میلی آمپر و با ولتاژ تغذیه ۱۰ ولت جریان ۳٫۲ میلی آمپر را مصرف میکند.

سوال ۲-۲ : با استفاده از یک تراشه ۷۴۸۳ و یک تراشه ۷۴۸۶ یک مدار جمع کننده / تفریق کننده طراحی نموده که در صورت  $M=LOW$  مدار به صورت جمع کننده و در صورت  $M=HIGH$  مدار به صورت تفریق کننده عمل نماید.



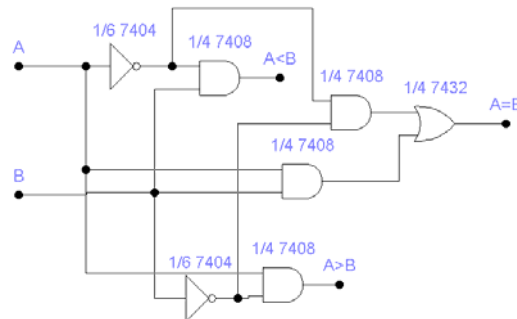
۱- با استفاده از تراشه های ۷۴۰۴ و ۷۴۰۸ و ۷۴۳۲ یک مقایسه کننده یک بیتی طراحی کنید.

INPUT		OUTPUT		
A	B	A<B	A=B	A>B
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

$$A < B = A' B$$

$$A = B = A' B' + A B$$

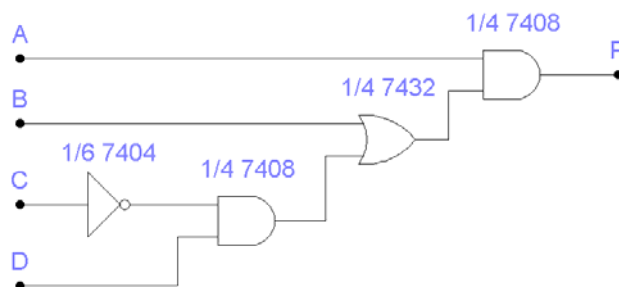
$$A > B = A B'$$



۲- مداری ترکیبی با چهار ورودی A, B, C, D و یک خروجی P طراحی کنید به طوری که اگر  $A=1$  باشد  $P=1$  به شرطی که  $B=0$  و یا اگر  $B=1$  باشد، C, D نیز برابر 1 باشند و در غیر این صورت خروجی صفر شود.

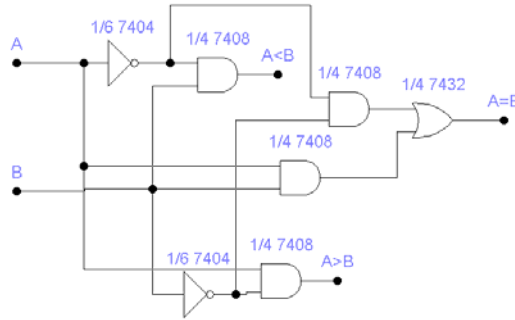
P	C D			
	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	1	0
10	1	1	1	1

$$F = AB' + AC'D = A(B+C'D)$$



آزمایش شماره ۳ :

مدار مقایسه کننده بند ۱ پیش گزارش شماره ۳ که در شکل زیر هم آمده را مورد آزمایش قرار دهید و نتایج را در جدول ۱-۳ ثبت نمایید .

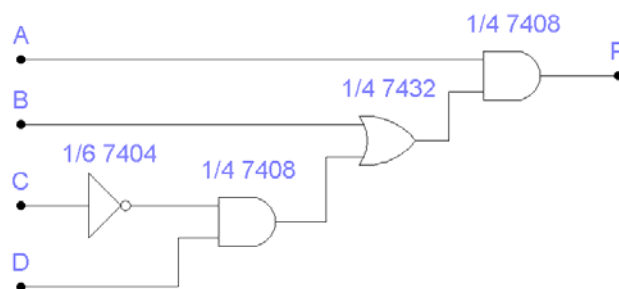


ورودی		خروجی		
A	B	A<B	A=B	A>B
0	0	120 mv	4.99 v	121 mv
0	1	4.54 v	0.7 mv	120 mv
1	0	121 mv	0.3 mv	4.54 v
1	1	121 mv	4.99 v	119 mv

جدول ۱-۳

مدار ترکیبی که در بند ۲ پیش گزارش شماره ۳ که در شکل زیر هم آمده را مورد آزمایش قرار دهید و جدول عملکرد آن را بیابید.

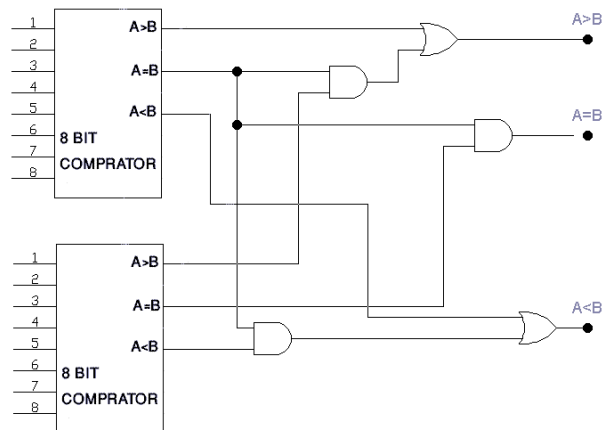
$$F = AB' + AC'D = A(B+C'D)$$



input				output
A	B	C	D	P
0	0	0	0	112 mv
0	0	0	1	115 mv
0	0	1	0	112 mv
0	0	1	1	4.9 v
0	1	0	0	18 mv
0	1	0	1	112 mv
0	1	1	0	152 mv
0	1	1	1	111 mv
1	0	0	0	4.9 v
1	0	0	1	4.9 v
1	0	1	0	4.9 v
1	0	1	1	4.9 v
1	1	0	0	112 mv
1	1	0	1	4.9 v
1	1	1	0	112 mv
1	1	1	1	112 mv

سوالات :

۱ - فرض کنید دو مقایسه کننده  $N$  بیتی در اختیار دارید . با استفاده از گیت‌های منطقی یک مقایسه کننده  $2N$  بیتی طراحی کنید.



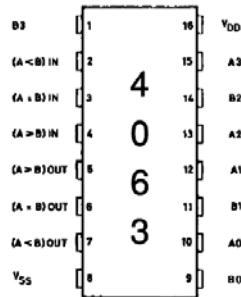
۲ - با استفاده از کتب مرجع شماره چند تراشه دیگر TTL و CMOS را بنویسید و یکی را به اختصار توضیح دهید.

TTL : 7485 (4 bit comparator)

CMOS: 4063 (4 bit comparator) & 4585 (4 bit comparator)



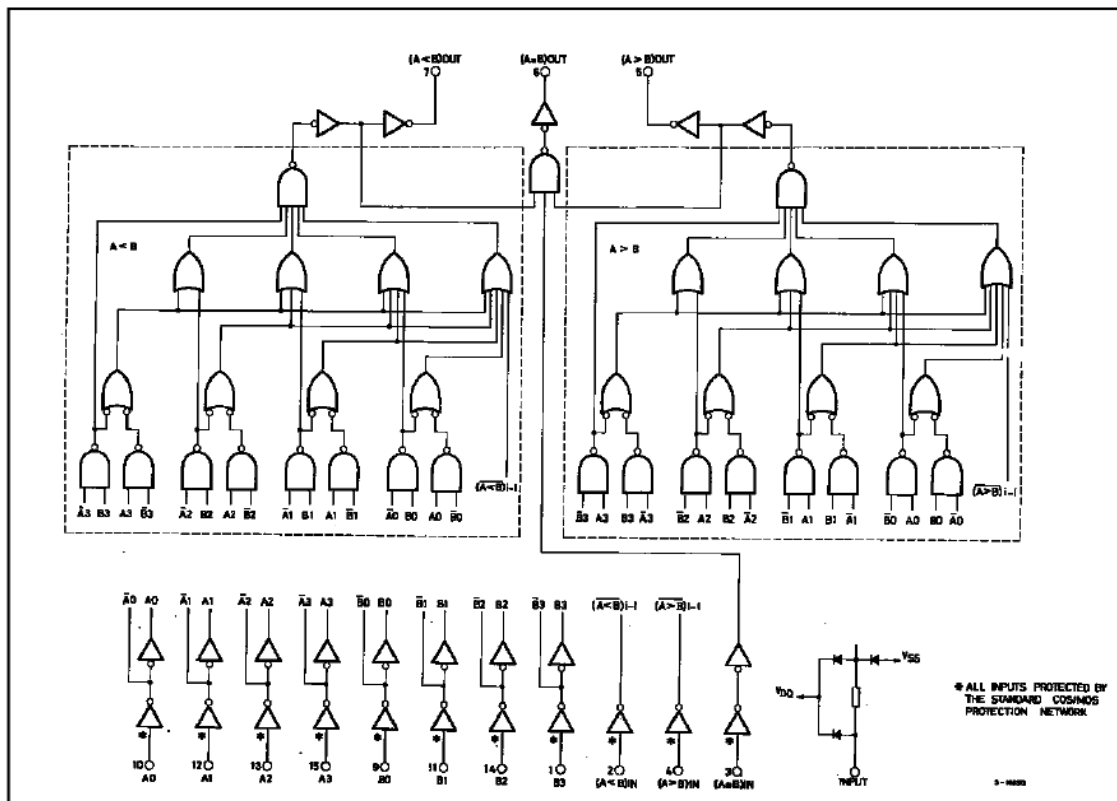
ترانه ۴۰۶۳ :



این ای سی دو کلمه ۴ بیتی را با هم مقایسه نموده و نتیجه را نمایش میدهد ، برای مقایسه تعداد بیت‌های بیشتر میتوان این ای سی را سری نمود ، به این ترتیب که سه فرومی ای سی اول را به ورودی های ای سی دوم متصل مینماییم. در این حالت اولین ای سی مشخص کننده بیت‌های با ارزش کم است. مدت زمان مقایسه با ولتاژ ۵ ولت ۶۲۵ نانو ثانیه است که با تغذیه ۱۰ ولت تا ۲۵۰ نانو ثانیه کاهش میابد.

این ای سی در فرکانس ۱ مگاهرتز و با تغذیه ۱۰ ولت ۸۰۰ میکرو آمپر و با ولتاژ تغذیه ۵ ولت جریان ۴۰۰ میکرو آمپر را مصرف میکند.

LOGIC DIAGRAM

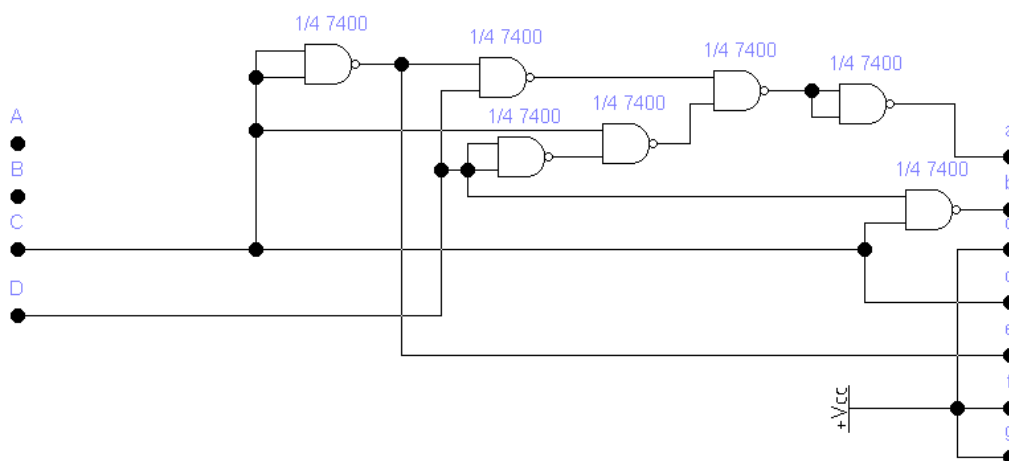


۱- با استفاده از تراشه ۷۴۰۰ (4 nand) یک مدار ترکیبی طراحی نموده که ورودی آن ۴ بیت  $a, b, c, d$  باشد و خروجی آن مطابق جدول زیر تغییر کند.

input				Out put Ready for 7_seg	Output pin						
A	B	C	D	F OUT	a	b	c	d	e	f	g
1	1	0	0	A	1	1	1	0	1	1	1
1	1	0	1	H	0	1	1	0	1	1	1
1	1	1	0	Y	0	1	1	1	0	1	1
1	1	1	1	S	1	0	1	1	0	1	1

با ساده سازی از طریق کارنو داریم:

- a :  $C'D'+CD$
- b :  $C'+D'$
- c : 1
- d : C
- e :  $C'$
- f : 1
- g : 1

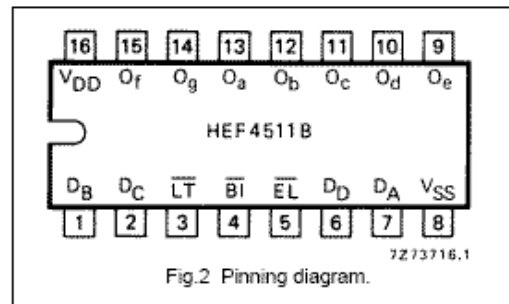
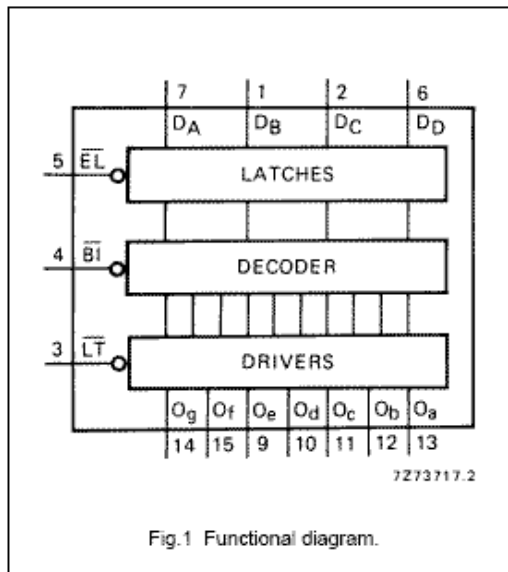


۲ - مشخصات کامل تراشه ۴۵۱۱ :

## مبدل کد BCD به نشان دهنده همراه با قفل

این آی سی ورودیهای BCD را دریافت و آنها را ذخیره می‌کند و همچنین آنها را برای اتصال به نشان دهنده آماده می‌کند. در حالت عادی، پایه‌های ۳ و ۴ به یک و پایه ۵ به صفر وصل می‌شود. کد BCD ورودی به پایه‌های ۷ و ۸ و ۹ و ۶ که دارای ارزشهای  $A=1, B=2, C=4, D=8$  هستند وصل می‌شوند و در منطق مثبت در خروجیهای نشاندهنده ظاهر می‌شوند. برای مثال، اگر در ورودی 0110 یعنی عدد ۶ را قرار دهیم این ورودیها باعث خواهند شد که در خروجیها تکه‌های (segments) C, d, e, f, g یک و تکه a صفر شود. توجه داشته باشید که در این آی سی خروجی عدد ۶ فاقد تکه a و خروجی عدد ۹ فاقد تکه d می‌باشد. ماکزیمم جریان طراحی شده برای خروجیهای این آی سی ۲۵ میلی آمپر می‌باشد که می‌توان آن را بوسیله ترانزیستور افزایش داد. اگر جریان بیشتری از خروجیها کشیده شود آی سی خراب می‌شود. اگر از نشاندهندهای LED استفاده شود، بایستی جریان خروجی توسط یک مقاومت محدود شود این مقاومت برای ولتاژ تغذیه ۵ ولت، برابر ۱۵۰ اهم می‌باشد. اگر آی سی در مقابل اتصال کوتاه محافظت نشود، خراب می‌شود. اگر پایه ۵ را یک کنیم مقادیر BCD قرار گرفته در ورودیها در داخل آی سی ذخیره می‌شوند و تا زمانی که این پایه ۵ صفر نشده این ورودیها در داخل آی سی باقی خواهند ماند و معادل آن در خروجی دیده می‌شود. اگر پایه ۴ را صفر کنیم تمامی خروجیها صفر می‌شوند و نشاندهنده خاموش می‌شود. از پایه ۴ و با استفاده از مدلاتور دیتوی سایکل (duty cycle) می‌توان برای کنترل روشنایی شکل موجهای با فرکانس زیاد استفاده کرد. اگر پایه ۳ را صفر کنیم تمامی خروجیها یک می‌شوند و عدد ۸ نشان داده میشود، و در این حالت ورودیهای کد BCD و همچنین ورودی پایه ۴ بی‌تاثیر می‌شود. این آی سی نمی‌تواند خروجیها را برای اعداد ۱۰ تا ۱۵ آماده کند و در این حالت خروجیها خاموش می‌شوند.

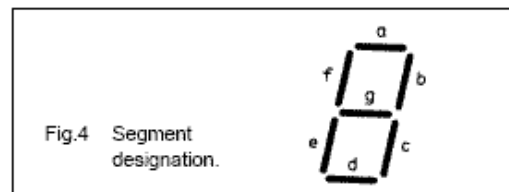
تاخیر نشاندهنده با ولتاژ تغذیه ۵ ولت برابر ۷۰۰ نانو ثانیه و با ولتاژ تغذیه ۱۰ ولت برابر ۳۵۰ نانو ثانیه می‌باشد. جریان مصرفی این آی سی کاملاً به بار خروجی بستگی دارد و این جریان برای هر تکه نشاندهنده نبایستی از ۲۵ میلی آمپر بیشتر باشد.



HEF4511BP(N): 16-lead DIL; plastic (SOT38-1)  
 HEF4511BD(F): 16-lead DIL; ceramic (cerdip) (SOT74)  
 HEF4511BT(D): 16-lead SO; plastic (SOT109-1)  
 ( ): Package Designator North America

**PINNING**

$D_A$  to  $D_D$  address (data) inputs  
 $\overline{EL}$  latch enable input (active LOW)  
 $\overline{BI}$  ripple blanking input (active LOW)  
 $\overline{LT}$  lamp test input (active LOW)  
 $O_a$  to  $O_g$  segment outputs



آزمایش شماره ۴:

قسمت ۱ و ۲ و ۳

تراشه ۴۵۱۱ را با استفاده از مقاومتهای ۳۳۰ اهم به 7seg متصل نموده و با توجه به سه حالت مندرج در جدول ۱-۴ برای pin3, pin4, pin5 جدول را کامل نمایید.

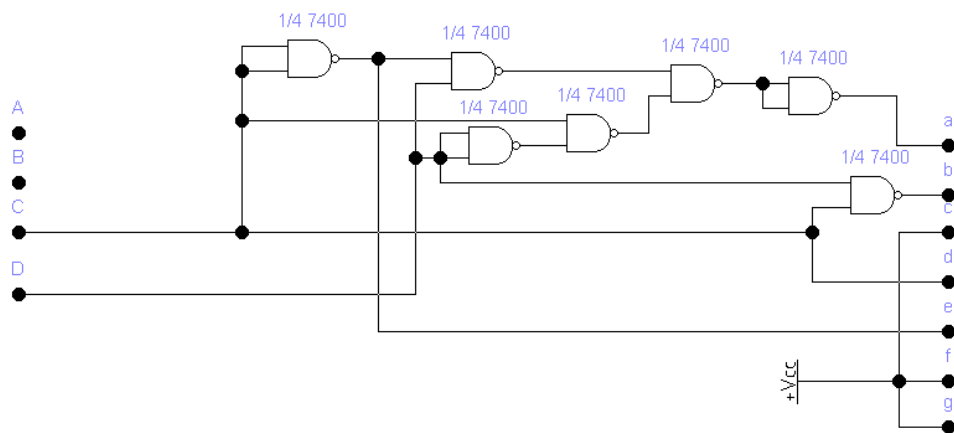
input				7 seg state		
A	B	C	D	Pin3 =H	Pin3 =L	Pin3 =H
Pin 6	Pin 2	Pin 1	Pin 7	Pin 4=H	Pin 4=H	Pin 4=L
				Pin 5=L	Pin 5=L	Pin 5=L
0	0	0	0	0	8	BLANK
0	0	0	1	1	8	BLANK
0	0	1	0	2	8	BLANK
0	0	1	1	3	8	BLANK
0	1	0	0	4	8	BLANK
0	1	0	1	5	8	BLANK
0	1	1	0	6	8	BLANK
0	1	1	1	7	8	BLANK
1	0	0	0	8	8	BLANK
1	0	0	1	9	8	BLANK
1	0	1	0	BLANK	8	BLANK
1	0	1	1	BLANK	8	BLANK
1	1	0	0	BLANK	8	BLANK
1	1	0	1	BLANK	8	BLANK
1	1	1	0	BLANK	8	BLANK
1	1	1	1	BLANK	8	BLANK

جدول ۱-۴

قسمت ۴

پایه های ۳ و ۴ و ۵ را به وضعیت آزمایش برگردانده و یک ورودی BCD را به مدار اعمال کنید ، خروجی را یادداشت نموده و سپس پایه ۵ را به ولتاژ 5+ متصل کنید  
آیا با تغییر ورودی ، خروجی نیز تغییر میکند ؟ فیر

قسمت ۵ مدار ترکیبی بند ۱ پیش گزارش را مورد آزمایش قرار دهید :



input				7_seg STATE
A	B	C	D	
1	1	0	0	A
1	1	0	1	H
1	1	1	0	Y
1	1	1	1	S

سوالات :

۱ - نقش پایه LAMP TEST در تراشه ۴۵۱۱ چیست ؟  
از این پایه میتوان برای صمت اتصال 7 \_ Seg به تراشه و همچنین موصول اطمینان از سلامت 7-seg استفاده کرد .

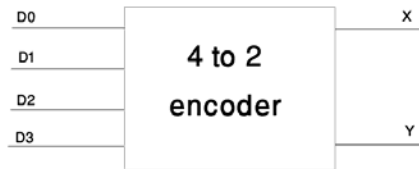
۲ - نقش پایه blank در تراشه ۴۵۱۱ را شرح دهید .  
با فعال شدن این پایه بدون در نظر گرفتن وضعیت 7-seg تمامی خروجی ها قطع میشوند ، از این پین میتوان جهت برنامه ریزی برای ساعات کم مصرفی و power saving استفاده نمود ، به این مساله توجه کنید که هر led در حالت روشن تقریباً 20 ma جریان مصرفی دارد که در طراحی مدارات با منابع تغذیه موبایل (باتری) یک معضل محسوب میگردد از این رو برای کاهش میزان مصرف در زمانی که کاربر از نشان دهنده بهره‌ای نمیگیرد میتوان از این پایه استفاده نمود.

۳ - نقش پایه store در تراشه ۴۵۱۱ را شرح دهید .  
با فعال شدن این پایه خروجی در زمان فعال سازی پین مذکور ایستا شده و متی با تغییرات ورودی هم تغییر نخواهد کرد ، از این پایه برای نمایش یک داده خاص در میان رشته ای از خروجی ها که با سرعت تغییر وضعیت میدهند استفاده نمود.

۴ - چرا پینهای ۳ و ۴ و ۵ تراشه ۴۵۱۱ در وضعیتهای ذکر شده در متن دستور کار قرار داده میشوند؟ پایه های ۳ و ۴ به ترتیب پایه های lamp etst و blank میباشد که فعال شدن اولی تمام فروجی های تراشه را به سطح یک منطقی و فعال شدن دومی تمام فروجی های تراشه را به سطح صفر منطقی میبرد. اما توجه شود که این دو پین هر دو low active بوده و برای غیر فعال کردن آنها باید به سطح یک منطقی متصل باشند تا تراشه در وضعیت معمول خود عمل کند. اما پین store به صورت high active طراحی شده و برای کار در وضعیت معمول باید به سطح منطقی صفر متصل شود.



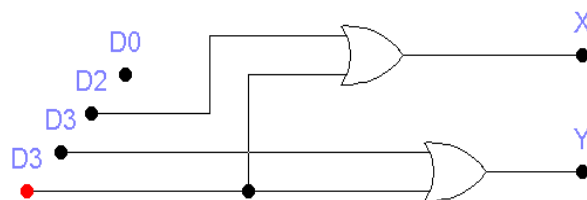
۱- با استفاده از تراشه ۷۴۰۰ یک encoder طراحی نمایید برای این کار به بلوک دیاگرام و جدول ۵-۱ دقت کنید .



INPUT				OUTPUT	
D0	D1	D2	D3	X	Y
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

$$X = D2 + D3$$

$$Y = D1 + D3$$





## ۲ - مشخصات کامل تراشه ۷۴۱۵۵

## دو توزیع کننده اطلاعات یک به چهار (دی مانی پلکسر)

این آی سی شامل دو توزیع کننده اطلاعات یک به چهار می باشد، که این دو توزیع کننده اطلاعات را میتوان بطور مستقل از هم بکار برد، ولی باید توجه داشت که ورودیهای آدرس این دو توزیع کننده بصورت مشترک می باشند.

خروجی بوسیله آدرسهای قرار گرفته در پایه های ۳ و ۱۳ انتخاب می شود. برای مثال، اگر پایه ۳ و ۱۳ هر دو به صفر وصل شوند. خط صفر ( پایه ۷) انتخاب خواهد شد.

اگر پایه های DATA IN1 به یک و پایه های ENABLE1 به صفر وصل شوند آی سی در حالت یک قرار می گیرد، که در این حالت خروجی انتخاب شده بوسیله خطوط آدرس، صفر خواهد بود. و اگر DATA IN2 به یک و ENABLE2 به صفر وصل شود آی سی در حالت دو قرار می گیرد، که در این حالت خروجی انتخاب شده بوسیله خطوط آدرس، صفر خواهد بود.

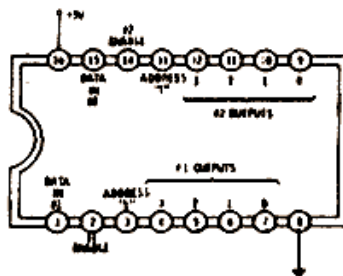
اگر ENABLE1 صفر باشد، آی سی در حالت یک بوده و متمم DATAIN2 در پایه انتخاب شده خروجی ظاهر خواهد شد.

توجه داشته باشید که هر دو قسمت این آی سی با هم برابر نیستند. حالت یک متمم اطلاعات را می دهد و حالت دو خود اطلاعات را در خروجی ظاهر می کند.

از این آی سی میتوان بعنوان یک توزیع کننده اطلاعات یک به هشت استفاده کرد. در این حالت بایستی پایه های DATA IN به هم وصل شوند و پایه های ENABLE نیز به هم وصل شده که چهار خط ورودی آدرس بدست می آید.

اگر ENABLE، ها هر دو صفر شوند. خروجی انتخاب شده توسط خطوط آدرس صفر خواهد بود.

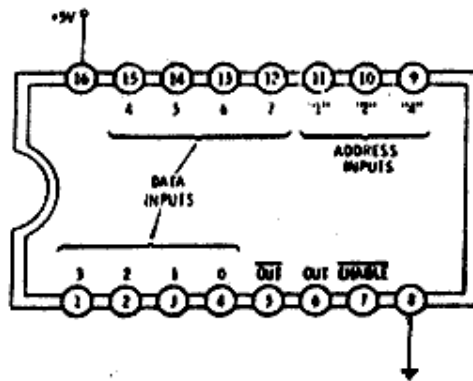
مدت زمان انتخاب آدرس در این آی سی برابر ۲۱ نانو ثانیه بوده و کل جریان مصرفی آن برابر ۲۵ میلی آمپر می باشد.



۳ - مشخصات کامل تراشه ۷۴۱۵۱ :

### انتخاب کننده اطلاعات هشت به یک (مانی پلکسر)

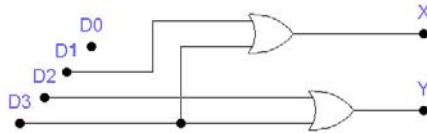
این آی سی بتواند انتخاب کننده اطلاعات هشت به یک بکار می‌رود. در حالت هادی، پایه ۷ بایستی به صفر وصل شود، و اگر این پایه یک شود، خروجی پایه ۶ به یک و خروجی پایه ۵ به صفر می‌رود. معادل باپنری ورودی‌های قرار گرفته در پایه‌های ۱۱ و ۱۰ و ۹ اطلاعات مربوطه را انتخاب کرده و متمم آن را در خروجی پایه ۶ و خود اطلاعات را در پایه ۵ ظاهر می‌کند. برای مثال، اگر ورودی‌های آدرس بترتیب ۱۰۱ باشد، که معادل باپنری عدد ۵ می‌باشد، اطلاعات موجود در ورودی خط ۵ (پایه ۱۲) بصورت اینورت شده در پایه ۶ و خود اطلاعات در پایه ۵ ظاهر خواهد شد. توجه داشته باشید که چون اطلاعات پایه ۵ از یک گیت اینورت عبور می‌کند لذا اطلاعات در پایه ۶ نسبت به پایه ۵ سریعتر ظاهر می‌شود. مدت زمان انتخاب اطلاعات در این آی سی برابر ۱۹ نانو ثانیه بوده و کل جریان مصرفی آن برابر ۲۹ میلی آمپر می‌باشد.



## آزمایش شماره ۵:

## قسمت ۱

مدار رمز کننده ای که در بخش پیش گزارش طراحی کرده اید را مورد آزمایش قرار دهید



INPUT				OUTPUT	
D0	D1	D2	D3	X	Y
1	0	0	0	12 mv	15 mv
0	1	0	0	18 mv	4.65 v
0	0	1	0	4.7 v	12 mv
0	0	0	1	4.81 v	4.77 v

## قسمت ۲

تراشه ۷۴۱۵۱ را مورد آزمایش قرار داده و جدول عملکرد آن را بیابید.

از آنجا که این تراشه یک مالتی پلکسر هشتت به یک است ، ۸ بیت اتفافی را به صورت ثابت به ورودی ها اعمال نموده و با توجه به تخییرات پین های آدرس برابر جدول زیر فروچی را اندازه گیری و ثبت نموده ایم.

ورودیهای تراشه با یک وضعیت پیش فرض			ورودی های آدرس			فروچی
PIN name	PIN number	PIN level	A2 PIN 9	A1 PIN 10	A0 PIN 11	Q PIN 5
D0	4	1	0	0	0	4.45 v
D1	3	0	0	0	1	125 mv
D2	2	0	0	1	0	112 mv
D3	1	1	0	1	1	4.6 v
D4	15	0	1	0	0	118 mv
D5	14	0	1	0	1	115 mv
D6	13	1	1	1	0	4.65 v
D7	12	1	1	1	1	4.7 v

## قسمت ۳

تابع  $f(a,b,c,d) = \sum(1,3,5,6)$  را با تراشه ۷۴۱۵۱ پیاده سازی نمایید.

پس از آن ارزش ترین بیت را به ورودی اختصاص داده و سه بیت دیگر را به پایه های آدرس، پس داریم:

F	I0 B'C'D'	I1 B'C'D	I2 B'CD'	I3 B'CD	I4 BC'D'	I5 BC'D	I6 BCD'	I7 BCD
A'	0	1	2	3	4	5	6	7
A	8	9	10	11	12	13	14	15
INPUT	0	A'	0	A'	0	A'	A'	0

با توجه به جدول فوق پایه های مالتی پلکسر به صورت زیر متصل میشود

I0, I2, I4, I7 = LOW LEVEL (0)

I1, I3, I5, I6 = A'

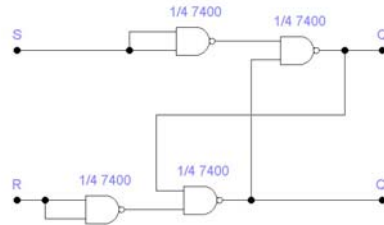
## سوالات:

- ۱ - چند نمونه از کاربرد های عملی مدارات MUX, DeMUX را بنویسید.  
مالتی پلکس کردن - انتقال سری داده ها - پیاده سازی توابع منطقی - رمز گشایی خطوط آدرس و ...
- ۲ - با استفاده از کتب مرجع چند نمونه دیگر از تراشه های MUX, DeMUX, Decoder را بنویسید.

	TTL	CMOS
MUX	74150(16 to 1)	4539(4 to 1)
	74151(8 to 1)	4067(16 to 1)
	74153(4 to 1)	4097(8 to 1)
DeMUX	74151(1 to 16)	4514(1 to 16)
	7472(1 to 8)	4515(1 to 8)
	74155(1 to 4)	4555(1 to 4)
Decoder	7442	4028
	7445	

آزمایش شماره ۶:

فلیپ فلاپ RS ناهمگام شکل زیر را مورد آزمایش قرار دهید.

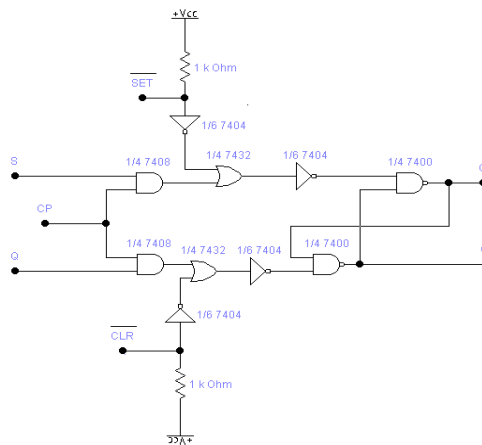


شکل ۶-۱

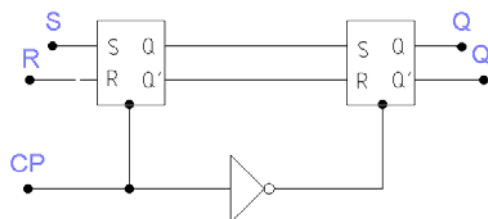
INPUT		OUTPUT	
S	R	Q	Q'
1	0	3.36 v	212 mv
0	0	3.36 v	220 mv
0	1	217 mv	3.35 v
0	0	218 mv	3.36 v
1	1	3.36 v	3.35 v

سوالات :

۱- با تغییر مناسب فلیپ فلاپ شکل ۶-۱ را به clocked RS تبدیل نموده و برای آن پایه های کنترل CLR, SET قرار دهید.



۲- با استفاده از دو فلیپ فلاپ clocked RS سوال قبل و گیت‌های منطقی یک فلیپ فلاپ Master-Slave\_JK بسازید.

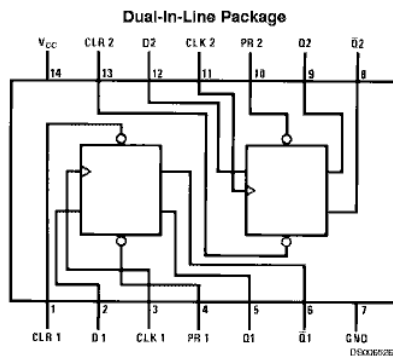


۱ - مشخصات کامل و نمونه کار تراشه ۷۴۷۴ را بنویسید.

### دو فلیپ فلاپ نوع D تحریک شونده با لبه بالا رونده (مهره با پایه های Set, Reset)

این آی سی شامل دو فلیپ فلاپ نوع D مستقل تحریک شونده با لبه بالا رونده پالس ساعت می باشد.  
 هر فلیپ فلاپ شامل دو خروجی بنام های Q و متمم آن  $\bar{Q}$  می باشد.  
 با اعمال لبه بالا رونده پالس ساعت اطلاعات قرار گرفته در ورودی D در خروجی Q ظاهر می گردد.  
 اگر پالس ساعت به آی سی اعمال نشود اطلاعات موجود در ورودی D در خروجی ظاهر نخواهد شد. اگر ورودی D به یک وصل شود، اعمال پالس ساعت موجب می شود که حالت Q برابر یک و حالت  $\bar{Q}$  برابر صفر گردد. و اگر پایه ورودی D به صفر وصل شود اعمال پالس ساعت موجب می شود که حالت Q برابر صفر و حالت  $\bar{Q}$  برابر یک گردد.  
 اطلاعات قرار گرفته در ورودی D هر موقع میتواند تغییر یابد ولی فقط با لبه بالا رونده پالس ساعت آن اطلاعات در خروجی Q ظاهر خواهد شد.  
 در حالت عادی پایه های Clear و Set به یک وصل می شوند. اگر پایه Clear به صفر وصل شود فوراً حالت Q به صفر و حالت  $\bar{Q}$  به یک می رود. و اگر پایه set صفر شود فوراً حالت Q به یک و حالت  $\bar{Q}$  به صفر می رود. توجه داشته باشید که پایه های set و clear ناپستی همزمان صفر شوند.  
 ماکزیمم فرکانس ورودی پالس ساعت در این آی سی برابر ۲۵ مگاهرتز بوده و کل جریان مصرفی آن برابر ۱۷ میلی آمپر می باشد.

#### Connection Diagram



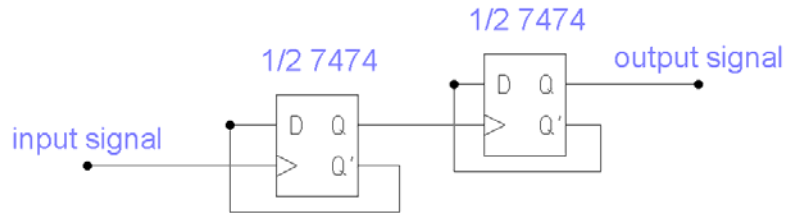
Order Number 5474DMQB, 5474FMQB, DM5474J, DM5474W, DM7474M or DM7474N  
 See Package Number J14A, M14A, N14A or W14B

#### Function Table

Inputs				Outputs	
PR	CLR	CLK	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H
				(Note 1)	(Note 1)
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	$Q_0$	$\bar{Q}_0$

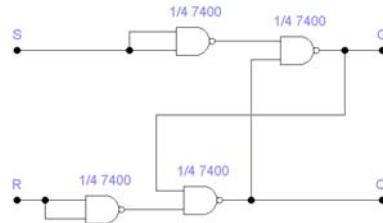
H = High Logic Level  
 X = Either Low or High Logic Level  
 L = Low Logic Level  
 ↑ = Positive-going transition of the clock.

۲- با استفاده از ۷۴۷۴ یک مقسم فرکانسی یک چهارم طراحی کنید:



آزمایش شماره ۷:

تراشه ۷۴۷۴ را مورد آزمایش قرار داده و جدول ۷-۱ را کامل کنید.



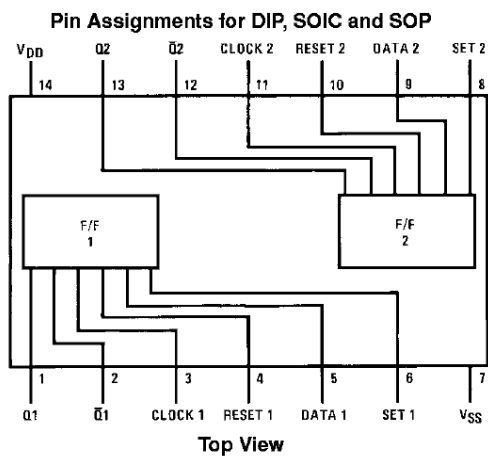
INPUT			OUTPUT	
D	SET	CLR	Q	Q'
X	0	1	4.57 v	212 mv
X	1	0	220 mv	4.62 v
X	0	0	4.7 v	4.73 v
0	1	1	218 mv	4.66 v
1	1	1	4.53 v	119 mv

جدول ۷-۱

سوالات:

- ۱- پایه های CLR, SET در تراشه ۷۴۷۴ چگونه فعال میشوند؟ این پایه ها در این تراشه low-active بوده و برای فعال کردن آنها باید به صفر منطقی متصل شوند.
  - ۲- با استفاده از کتب مرجع یک D flip flop را از نوع CMOS معرفی و تشریح نمایید:
- تراشه ۴۰۱۳:

Connection Diagram



Truth Table

CL (Note 1)	D	R	S	Q	Q̄
↗	0	0	0	0	1
↘	1	0	0	1	0
↖	x	0	0	Q	Q̄
x	x	1	0	0	1
x	x	0	1	1	0
x	x	1	1	1	1

No Change  
x = Don't Care Case  
Note 1: Level Change



## دو فلیپ فلاپ نوع D

این مدار مجتمع دارای دو فلیپ فلاپ نوع D می باشد که می توان آنها را بصورت جداگانه بکار برد. و به دو طریقه، پالس ساعت و روش مستقیم راه اندازی می شود.

در روش پالس ساعت، پایه های ۶ یا ۸ (set) و پایه های ۴ یا ۱۰ (reset) بایستی به صفر وصل شوند و ورودی اطلاعات به پایه ۵ یا ۹ (D) وصل می شود، و این ورودی مشخص کننده خروجی فلیپ فلاپ می باشد. ولی نتیجه واقعی بعد از اعمال لبه بالا رونده پالس ساعت در خروجی ظاهر می شود. اگر ورودی D یک باشد اعمال لبه بالا رونده پالس ساعت باعث می شود که خروجی Q در حالت یک و خروجی  $\bar{Q}$  در حالت صفر قرار گیرد و اگر ورودی D در حالت صفر باشد اعمال لبه بالا رونده پالس ساعت باعث می شود خروجی Q صفر و خروجی  $\bar{Q}$  یک شود. در روش مستقیم، اگر پایه (set) یک و پایه (reset) صفر شود Q در حالت یک و  $\bar{Q}$  در حالت صفر قرار می گیرد و اگر (reset) به یک و (set) به صفر وصل شود خروجی Q در حالت صفر و خروجی  $\bar{Q}$  در حالت یک قرار می گیرد. اگر هر دو ورودی (set) و (reset) همزمان به یک وصل شوند هر دو خروجی Q و  $\bar{Q}$  یک می شوند، که این حالت رد شده می باشد. اگر ورودی مستقیم به صفر وصل شود خروجیهای Q و  $\bar{Q}$  آخرین حالت فلیپ فلاپ را مشخص خواهند کرد. در روش ورودی مستقیم، ورودی به پالس ساعت بستگی ندارد. با اتصال  $\bar{Q}$  خروجی به ورودی خط D هر فلیپ فلاپ یک تقسیم کننده به ۲ بدست می آید. پالس ساعت مورد استفاده بایستی بدون نویز بوده و فقط در هر درخواست پالس ساعت یک لبه بالا رونده داشته باشد. زمان صعود و نزول پالس ساعت بایستی کمتر از ۵ میکرو ثانیه باشد. ماکزیمم فرکانس پالس ساعت با ولتاژ تغذیه ۱۰ ولت برابر ۱۰ مگاهرتز و با ولتاژ تغذیه ۵ ولت برابر ۴ مگاهرتز می باشد. این مدار مجتمع در فرکانس ۱ مگاهرتز و با ولتاژ تغذیه ۱۰ ولت، جریان ۱/۶ میلی آمپر و با ولتاژ تغذیه ۵ ولت، جریان ۰/۸ میلی آمپر را مصرف می کند.

